

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-138730

(43)Date of publication of application : 31.05.1989

(51)Int.Cl.

H01L 21/76

H01L 29/78

(21)Application number : 62-297264 (71)Applicant : FUJITSU LTD

(22)Date of filing : 25.11.1987 (72)Inventor : GOTO HIROSHI  
MIURA TAKAO

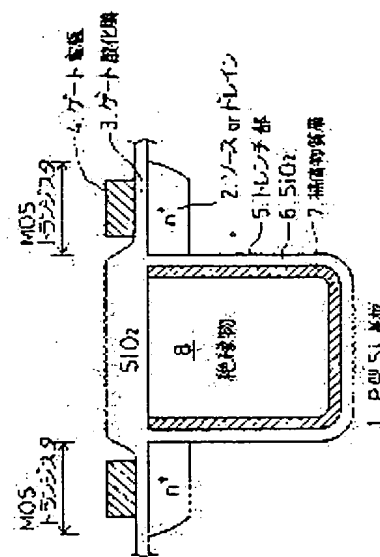
## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To reduce the leakage current while averting the narrow channel effect by a method wherein the surface of an insulating film formed on the surface of a semiconductor substrate is coated with a material diminishing the difference in the working function with the substrate.

CONSTITUTION: A plurality of n-channel MOS transistors comprising n+type source/drain region 2, a gate oxide film 3 formed on the region 2 and a gate electrode 4 are formed on a p-type Si substrate 1 while respective transistors are isolated from one another by trench parts 5. A compensating material layer 7 is provided inside the trench part 5 through the intermediary of an SiO<sub>2</sub> 6 while a cavity formed by the compensating material layer 7 is filled up with an

insulator 8. The compensating material layer 7 to compensate the negative charge induced in the p-type Si substrate 1 is composed of a material in high electronic affinity, i.e., one of the p-type polysilicon doped with B, Al, Ga, In, Tl, etc., or silicide such as TiSi<sub>2</sub>, CrSi<sub>2</sub>, CoSi<sub>2</sub>, NiSi, NiSi<sub>2</sub>, RhSi, Pd<sub>2</sub>Si, TaSi<sub>2</sub>, WSi<sub>2</sub>, Pt<sub>2</sub>Si, PtSi, etc., or high melting point metals such as Ti, No, Ta, W etc., is applicable.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision  
of rejection][Kind of final disposal of application  
other than the examiner's decision of

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-138730

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)5月31日

H 01 L 21/76

S-7638-5F

L-7638-5F

R-8422-5F

審査請求 未請求 発明の数 1 (全6頁)

29/78

3 0 1

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-297264

⑰ 出 願 昭62(1987)11月25日

⑱ 発 明 者 後 藤 寛 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 三 浦 隆 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 長谷川 文廣 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 半導体基板(1)の表面に絶縁膜(6)が形成された半導体装置において、

絶縁膜(6)の表面に上記半導体基板(1)との仕事関数差が小さくなるような物質(7)を被覆したことを特徴とする半導体装置。

(2) 上記半導体基板(1)との仕事関数差が小さくなるような物質(7)は、半導体基板(1)に設けられた溝(5)の表面に形成された絶縁膜(6)上に層状に形成されるかまたは溝(5)内に充填されたことを特徴とする特許請求の範囲第(1)項記載の半導体装置。

(3) 上記半導体基板(1)との仕事関数差が小さくなるような物質(7)として、半導体基板(1)がp型の場合にはB、Al、Ga、In、Tl等をドーブし

たp型ポリシリコン、TiSi<sub>2</sub>、CrSi<sub>2</sub>、CoSi<sub>2</sub>、NiSi<sub>2</sub>、NiSi<sub>3</sub>、RhSi、Pd<sub>2</sub>Si、TaSi<sub>2</sub>、WSi<sub>2</sub>、Pt<sub>2</sub>Si、PtSi等のシリサイドまたはTi、Mo、Ta、W等の高融点金属を用い、半導体基板(1)がn型の場合にはP、As、Sb等をドーブしたn型ポリシリコンまたはZrSi<sub>2</sub>、MoSi<sub>2</sub>、HfSi等のシリサイドを用いたことを特徴とする特許請求の範囲第(1)項または第(2)項記載の半導体装置。

3. 発明の詳細な説明

(概要)

半導体基板の表面に絶縁膜が形成された半導体装置において、

リーク電流を減少させると共に狭チャネル効果を防止することを目的とし、

半導体基板の表面に絶縁膜が形成された半導体装置において、絶縁膜の表面に上記半導体基板との仕事関数差が小さくなるような物質を被覆するように構成する。

## (産業上の利用分野)

本発明は、半導体基板の表面に絶縁膜が形成された半導体装置に関する。

半導体装置集積回路上に形成された個々の素子を分離するために、集積度が低い場合にはLOCOSが用いられていた。そして、この方法で漏れ電流を充分少なくすることができた。

集積度が向上するに従って、LOCOSとトレンチアイソレーションとが併用されるが、さらに集積度を向上させるためには、トレンチアイソレーションのみで素子分離を行う必要が生じてきた。

トレンチアイソレーションのみで素子分離を行うと、基板がp型の場合、トレンチ部に充填された絶縁物中に正の電荷が誘起され、基板中に負の電荷が誘起されるので、絶縁物をゲート絶縁膜としたチャンネル（いわゆるサイドチャンネル）が生じ、トランジスタにリーク電流が流れる。

このリーク電流を防止する方法が必要とされている。

これを防ぐために、従来はトレンチ部65のp型Si基板61側にBをドーブして、p型Si基板61側に誘起された負の電荷を補償し、寄生MOSトランジスタ効果が発生するのを防止していた。

## (発明が解決しようとする問題点)

従来では、p型Si基板にBをドーブしていたので、その後の工程においてドーブしたBがnチャンネルMOSトランジスタのチャンネル部に拡散してチャンネル部を狭めてしまい、狭チャンネル効果が生じてしまう。その結果、トランジスタの電流駆動能力が低下してしまうという問題が生じていた。

本発明は、リーク電流を減少させると共に狭チャンネル効果を防止したトレンチアイソレーションを施した半導体装置を提供することを目的とする。

## (問題点を解決するための手段)

本発明は、半導体基板の表面に絶縁膜が形成された半導体装置において、絶縁膜の表面に上記半

## (従来の技術)

第6図は、従来例を示す図である。

第6図において、61はp型Si基板、62はn型のソースまたはドレイン領域、63はゲート酸化膜、64はゲート電極、65はトレンチ部、66はCVD $\text{SiO}_2$ である。

p型Si基板61上にn型のソースまたはドレイン領域62、ゲート酸化膜63およびゲート電極64からなるMOSトランジスタが複数個形成されている。

複数個のMOSトランジスタ間には溝（トレンチ部65）が掘られ、トレンチ部65の中にはCVD $\text{SiO}_2$ 66が充填されて各MOSトランジスタは分離されている。

CVD $\text{SiO}_2$ 66とp型Si基板61との界面付近では、CVD $\text{SiO}_2$ 66側に正の電荷が誘起され、p型Si基板61側に負の電荷が誘起される。その結果、この場合のMOSトランジスタはnチャンネル型であるから寄生MOSトランジスタ効果が生じ、リーク電流が流れてしまう。

半導体基板との仕事関数差が小さくなるような物質を被着するように構成することにより、リーク電流を減少させると共に狭チャンネル効果を防止するものである。

第1図は、本発明の1実施例構成図である。

第1図を用いて本発明の手段について説明する。

第1図において、1はp型Si基板、2はソースあるいはドレイン領域、3はゲート酸化膜、4はゲート電極、5はトレンチ部、6は $\text{SiO}_2$ 、7は補償物質層、8は絶縁物である。

p型Si基板1上に、n型のソース、ドレイン領域2、その上に形成されたゲート酸化膜3およびゲート電極4からなるnチャンネルMOSトランジスタが複数個形成されている。

各MOSトランジスタは、溝（トレンチ部5）により分離されている。

トレンチ部5の内面には $\text{SiO}_2$ 6を隔てて補償物質層7が設けられており、補償物質層7により形成された空白部には絶縁物8が充填されている。

補償物質層7はp型Si基板1中に誘起される負

の電荷を補償するためのものであり、電子親和力の大きな物質、すなわち、B, Al, Ga, In, Tl, 等をドーブしたp型ポリシリコン、 $\text{TiSi}_2$ ,  $\text{CrSi}_2$ ,  $\text{CoSi}_2$ ,  $\text{NiSi}$ ,  $\text{NiSi}_2$ ,  $\text{RhSi}$ ,  $\text{Pd}_2\text{Si}$ ,  $\text{TaSi}_2$ ,  $\text{WSi}_2$ ,  $\text{Pt}_2\text{Si}$ ,  $\text{PtSi}$ 等のシリサイドまたはTi, Mo, Ta, W等の高融点金属が用いられる。

第1図ではトレンチ部5の内面に $\text{SiO}_2$ 6を隔てて補償物質層7を設け、補償物質層7の空白部に絶縁物8を充填しているが、絶縁物8でなく補償物質層7と同じ物質を充填してもよい。

また、第1図はp型Si基板を用いnチャネルMOSトランジスタを形成した場合を示しているが、n型Si基板を用いpチャネルMOSトランジスタを形成した場合には、補償物質層7として電子親和力の小さな物質、例えば、P, As, Sb等をドーブしたn型ポリシリコンまたは $\text{ZrSi}_2$ ,  $\text{MoSi}_2$ ,  $\text{HfSi}$ 等のシリサイドが用いられる。

#### (作用)

p型Si基板上に形成されたMOSトランジスタ

p型Si基板上に形成されたMOSトランジスタのゲート材料としてPをドーブしたn型ポリシリコンを用いた場合、スレシホールド電圧は負になる(ゲート酸化膜の厚さが300Åの場合、 $-0.2 \sim -0.1$  V)。これに対して、ゲート材料として電子親和力の大きな物質、すなわち、B, Al, Ga, In, Tl, 等をドーブしたp型ポリシリコン、 $\text{TiSi}_2$ ,  $\text{CrSi}_2$ ,  $\text{CoSi}_2$ ,  $\text{NiSi}$ ,  $\text{NiSi}_2$ ,  $\text{RhSi}$ ,  $\text{Pd}_2\text{Si}$ ,  $\text{TaSi}_2$ ,  $\text{WSi}_2$ ,  $\text{Pt}_2\text{Si}$ ,  $\text{PtSi}$ 等のシリサイドまたはTi, Mo, Ta, W等の高融点金属を用いた場合、スレシホールド電圧は正になる。ゲート材料としてp型ポリシリコンを用いた場合、ゲート酸化膜の厚さが300Åで、スレシホールド電圧は0.3~0.4 V、上記の金属を用いた場合、0.4~0.6 Vである。

このことから、p型Si基板上に形成されたnチャネルMOSトランジスタのアイソレーション部に生ずる寄生MOSトランジスタのソース、ドレイン間の漏れ電流を減少させるためには、アイソレーション部の絶縁物として電子親和力の大きな

のスレシホールド電圧は、チャネル部の不純物濃度、界面電荷、ゲート材料等に依存する。ゲート電圧をグラウンドレベルにした場合のソース、ドレイン間の漏れ電流は、スレシホールド電圧が高い程少ない。このことは、アイソレーション部に生じた寄生MOSトランジスタについてもあてはまる。

したがって、アイソレーション部に生じる寄生MOSトランジスタのソース、ドレイン間の漏れ電流を少なくするためにスレシホールド電圧を高めればよいことがわかる。そのためには、界面電荷を減少させること、チャネル部の不純物濃度を高くすることおよびゲート材料を適当に選択することが考えられる。

しかしながら、界面電荷は、製造プロセスに依存しており、現在は物性的限界にきている。また、チャネル部の不純物濃度は、他の素子特性に影響を与えるため、自由に變更することが難しい。これに対して、ゲート材料を變更することは容易に行うことができる。

物質、すなわち、B, Al, Ga, In, Tl, 等をドーブしたp型ポリシリコン、 $\text{TiSi}_2$ ,  $\text{CrSi}_2$ ,  $\text{CoSi}_2$ ,  $\text{NiSi}$ ,  $\text{NiSi}_2$ ,  $\text{RhSi}$ ,  $\text{Pd}_2\text{Si}$ ,  $\text{TaSi}_2$ ,  $\text{WSi}_2$ ,  $\text{Pt}_2\text{Si}$ ,  $\text{PtSi}$ 等のシリサイドまたはTi, Mo, Ta, W等の高融点金属を用いればよいことがわかる。

本発明は上記の知見に基づいてなされたもので、第1図に示すように、p型Si基板1上に形成された複数個のnチャネルMOSトランジスタ間のアイソレーションとしてのトレンチ部5の内面に $\text{SiO}_2$ 6を隔てて電子親和力の大きな物質、すなわち、B, Al, Ga, In, Tl, 等をドーブしたp型ポリシリコン、 $\text{TiSi}_2$ ,  $\text{CrSi}_2$ ,  $\text{CoSi}_2$ ,  $\text{NiSi}$ ,  $\text{NiSi}_2$ ,  $\text{RhSi}$ ,  $\text{Pd}_2\text{Si}$ ,  $\text{TaSi}_2$ ,  $\text{WSi}_2$ ,  $\text{Pt}_2\text{Si}$ ,  $\text{PtSi}$ 等のシリサイドまたはTi, Mo, Ta, W等の高融点金属からなる補償物質層7を設けたものである。

以上、p型Si基板上にnチャネルMOSトランジスタを形成した場合について説明したが、n型Si基板上にpチャネルMOSトランジスタを形成した場合、アイソレーション部に生ずる寄生MOSトランジスタのソース、ドレイン間の漏れ電流

を減少させるためには、アイソレーション部の補償物質層7を電子親和力の小さな物質、すなわち、P、As、Sb等をドーブしたn型ポリシリコンまたは $ZrSi_2$ 、 $MoSi_2$ 、 $HfSi$ 等のシリサイドを用いてスレシホールド電圧を低くする。

本発明は、Si基板に誘起される電荷を補償するために従来例のように基板に不純物をドーブしてないので、不純物の拡散により生ずる問題、例えば狭チャネル効果によるトランジスタの電流駆動能力の低下とは無縁である。

#### (実施例)

第1図は本発明の1実施例構成図であり、第2図～第5図は第1図に至るまでの各工程を示した図である。

以下、本発明を実施するための各工程を説明する。

#### (工程1、第2図参照)

21はp型Si基板、22はn<sup>+</sup>型のソース、ドレイン領域、23は $SiO_2$ 膜、24は $Si_3N_4$ 膜、2

新たにゲート酸化膜3を設け、その上にポリシリコンからなるゲート電極4を形成する。

以上のようにして、第1図に示すように、p型Si基板1、n<sup>+</sup>型のソース、ドレイン領域2、ゲート酸化膜3、ゲート電極4、トレンチ部5、 $SiO_2$ 膜6、補償物質層7および絶縁物8からなる本発明の1実施例構成が形成される。

本実施例では、補償物質層28(第1図では7)として $WSi_2$ を用いた例を示したが、補償物質は、他にも電子親和力の大きな物質、すなわち、B、Al、Ga、In、Tl、等をドーブしたp型ポリシリコン、 $TiSi_2$ 、 $CrSi_2$ 、 $CoSi_2$ 、 $NiSi$ 、 $NiSi_2$ 、 $RhSi$ 、 $Pd_2Si$ 、 $TaSi_2$ 、 $WSi_2$ 、 $Pt_2Si$ 、 $PtSi$ 等のシリサイドまたはTi、Mo、Ta、W等の高融点金属を用いることができる。p型ポリシリコンを用いる場合には、補償物質層28(第1図では7)を形成することなく、トレンチ部26(第1図では5)の内面に設けた $SiO_2$ 膜27(第1図では6)の内側にポリシリコンを堆積充填した後、Bをドーブしてもよい。また、本実施例では、p型Si基板を用いてnチャネルM

5はCVD $SiO_2$ 膜である。

まず、CVD $SiO_2$ 膜25をマスクとしてp型Si基板21をエッチングして溝を掘ってアイソレーション部となるトレンチ部26を形成する。その後、トレンチ部26の内面を熱酸化して $SiO_2$ 膜27を1000Åの厚さに設ける。

#### (工程2、第3図参照)

トレンチ部26の内面に形成した $SiO_2$ 膜27にCVD法によりタングステンシリサイド( $WSi_2$ )を付着させ、補償物質層28を形成する。

#### (工程3、第4図参照)

$WSi_2$ からなる補償物質層28の上部をエッチングして除去すると共に補償物質層28により囲まれた空白部を絶縁物、例えばポリシリコンを堆積させて充填する。

#### (工程4、第5図参照)

CVD $SiO_2$ 膜25を除去し、 $Si_3N_4$ 膜24をマスクとして酸化して、 $SiO_2$ 膜30を形成する。

#### (工程5、第1図参照)

$Si_3N_4$ 膜24および $SiO_2$ 膜23を順次除去し、

OSTランジスタを形成した例を示したが、n型Si基板を用いてpチャネルMOSTランジスタを形成する場合には、補償物質として電子親和力の小さな物質、例えば、P、As、Sb等をドーブしたn型ポリシリコンまたは $ZrSi_2$ 、 $MoSi_2$ 、 $HfSi$ 等のシリサイドを用いる。

#### (発明の効果)

本発明によれば、トレンチアイソレーションにおけるリーク電流を減少させることができると共に狭チャネル効果が生じにくいことから素子を微細化することができる。

#### 4. 図面の簡単な説明

第1図は本発明の1実施例構成図、第2図～第5図は第1図に至るまでの各工程を示す図、第6図は従来例を示す図である。

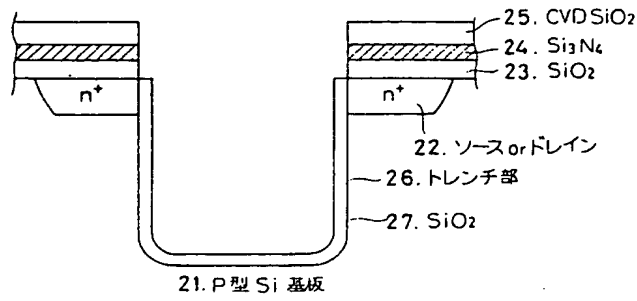
第1図において

1：p型Si基板

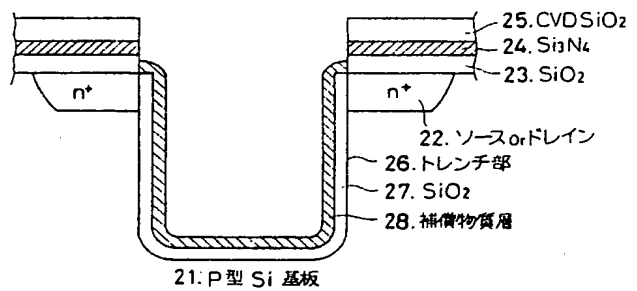
2：ソースあるいはドレイン領域

- 3 : ゲート酸化膜
- 4 : ゲート電極
- 5 : トレンチ部
- 6 : SiO<sub>2</sub>
- 7 : 補償物質層
- 8 : 絶縁物

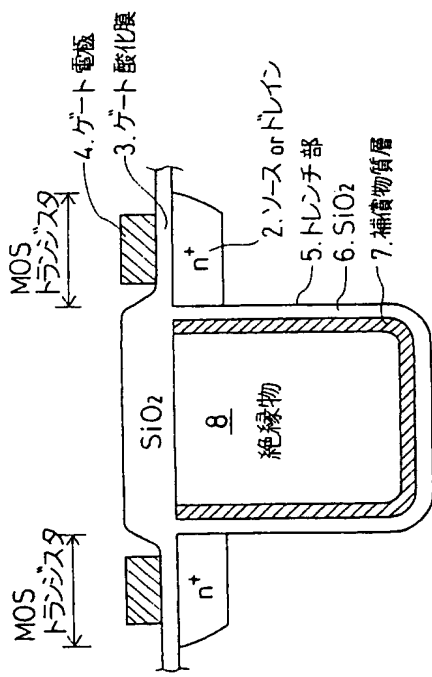
特許出願人 富士通株式会社  
代理人弁理士 長谷川 文廣 (外2名)



第2図



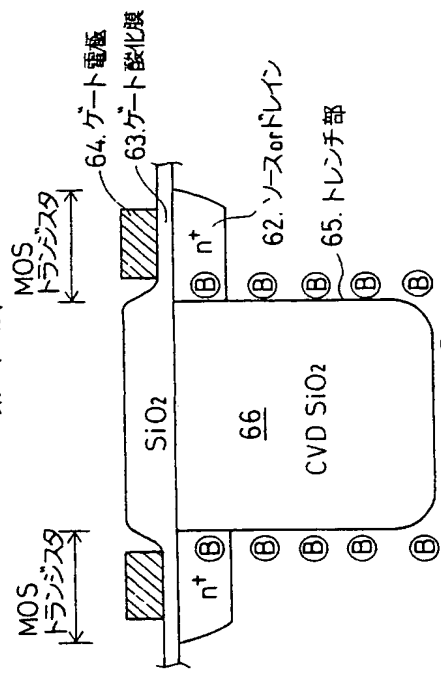
第3図



1. P型Si基板

本発明の一実施例構成図

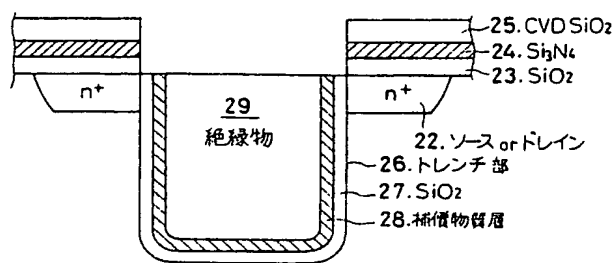
第1図



61. P型Si基板

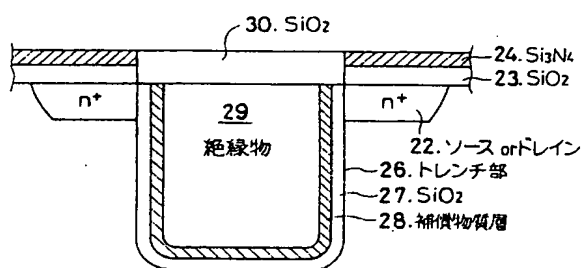
従来例

第6図



## 21. P型Si 基板

第 4 図



## 21. P型 Si 基板

第 5 図